

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-094796

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G01R 31/28

(21)Application number : 03-224453

(71)Applicant : SCHLUMBERGER TECHNOL INC

(22)Date of filing : 04.09.1991

(72)Inventor : WEST BURNELL
GRAEVE EGBERT

(30)Priority

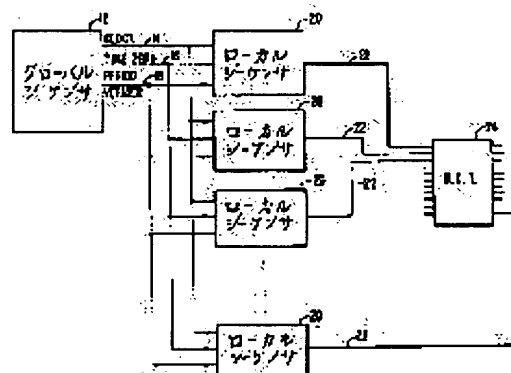
Priority number : 90 577986 Priority date : 05.09.1990 Priority country : US

(54) EVENT SEQUENCER FOR AUTOMATIC TESTING DEVICE

(57)Abstract:

PURPOSE: To obtain an improved automatic testing device for testing integrated circuits.

CONSTITUTION: Many local sequencers 20 are provided at a rate of one sequencer per each pin of a device 24 to be tested. Each local sequencer is supplied with a global time '0' signal 16 indicating the clock edge referring to the start of a test and a period vernier 28 indicating the offset of the start of a test period from a clock. Each local sequencer generates its own test event based on the test period by locally introducing individual calibration delays by using the information. Since the local sequencers can be programmed individually, the sequencers can give different numbers of events during the same test period.



LEGAL STATUS

[Date of request for examination] 22.06.1998

[Date of sending the examiner's decision of rejection] 10.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3220480

[Date of registration] 10.08.2001

[Number of appeal against examiner's decision] 2001-00162

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-94796

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28		6912-2G	G 0 1 R 31/ 28	P

審査請求 未請求 請求項の数21(全 14 頁)

(21)出願番号 特願平3-224453

(22)出願日 平成3年(1991)9月4日

(31)優先権主張番号 5 7 7 9 8 6

(32)優先日 1990年9月5日

(33)優先権主張国 米国(U S)

(71)出願人 591068137

シュルンベルジェ テクノロジーズ, イ
ンコーポレイテッド

SCHLUMBERGER TECHNO
LOGIES, INCORPOATED

アメリカ合衆国, カリフォルニア
95115, サン ノゼ, テクノロジー ド
ライブ 1601

(72)発明者 パーネル ウェスト

アメリカ合衆国, カリフォルニア
94539, フリモント, センチネル ド
ライブ 46750

(74)代理人 弁理士 小橋 一男 (外1名)

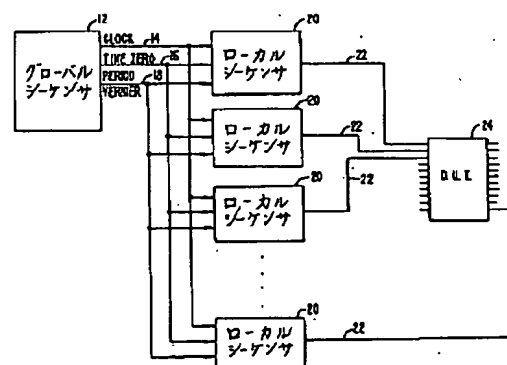
最終頁に続く

(54)【発明の名称】 自動テスト装置用イベントシーケンサ

(57)【要約】 (修正有)

【目的】 集積回路をテストするための改良された自動
テスト装置を提供すること。

【構成】 テスト中の装置24の各ピンに対して1個づ
つ多数のローカルシーケンサ20が設けられている。各
ローカルシーケンサは、グローバルクロック14と、テ
ストの開始を参照するクロックエッジを表わすグローバ
ル時間0信号16と、テスト期間の開始に対しクロック
からのオフセットを表わす期間バーニア18とが供給さ
れる。各ローカルシーケンサは、この情報を使用して、
局所的に個々のキャリブレーション遅延を導入してテス
ト期間を基準とするそれ自身のテストイベントを発生す
る。各ローカルシーケンサは、個別的にプログラムする
ことが可能であり、従って異なったシーケンサは同一の
テスト期間中に異なった数のイベントを与えることが可
能である。



1

【特許請求の範囲】

【請求項1】 集積回路をテストするテストシステムにおいて、

(a) クロック信号発生器を具備すると共にテストシーケンスの開始を表わすためにクロック信号を使用して時間0信号を発生する手段を具備するグローバルシーケンサが設けられており、

(b) 複数のテストサイクルの各々の開始に対して前記クロック信号からのオフセットを表わす期間バーニア値を発生する手段が設けられており、

(c) 複数のローカルシーケンサが設けられており、前記各ローカルシーケンサは前記集積回路の別個のリードへ結合されており、各ローカルシーケンサが、前記クロック信号及び前記期間バーニア値に回答し前記テストサイクルが前記クロック信号の倍数である必要がないように前記期間バーニア値によって画定されるテストサイクル内で前記ピンに対する信号におけるエッジを発生する手段を有することを特徴とするテストシステム。

【請求項2】 複数の1/Oリードを持った電子回路をテストするテストシステムにおいて、グローバルクロック信号を発生する手段が設けられており、複数のローカルシーケンサが設けられており、各ローカルシーケンサは前記リードの1つへ結合されており、各ローカルシーケンサは前記グローバルクロック信号に対してキャリブレートされたテスト期間において前記1/Oリードへのテスト信号の信号遷移のプログラム可能な数を発生する手段を具備しており、前記ローカルシーケンサが任意の与えられたテスト期間において異なった数の遷移を有することが可能であるように前記複数のローカルシーケンサに対する信号遷移の数でプログラム可能であることを特徴とするテストシステム。

【請求項3】 請求項2において、更に、前記テスト期間の開始を表わすグローバル時間0信号を発生する手段が設けられており、前記テスト期間の終りにおいてデータを収集するためのグローバルストローブ時間0信号を発生する手段が設けられており、前記ローカルシーケンサの各々において前記テスト期間を前記グローバル時間0信号と同期させ且つ前記グローバルストローブ時間0信号に回答して前記ピンからデータを供給する手段が設けられていることを特徴とするテストシステム。

【請求項4】 請求項3において、更に、前記同期手段に結合してグローバル時間0信号を発生する第二手段が設けられており、前記データを供給する手段に結合されておりグローバルストローブ時間0信号を発生する第二手段が設けられており、前記ローカルシーケンサの別々のグループが別々のグローバル時間0信号及びグローバルストローブ時間0信号を受取って前記回路の前記1/Oリードの異なったグループを非同期的に且つ独立的にテストすることが可能であることを特徴とするテストシステム。

2

【請求項5】 各々がテスト中の装置の1つのリードへ結合されている複数のローカルシーケンサをもったテストシステム用ローカルシーケンサにおいて、前記テスト中の装置へ印加され且つそれから受取られたイベントの時間及びタイプを格納し且つ前記イベントのタイプに従って前記時間に対するオフセットを格納するメモリ手段が設けられており、前記メモリからの前記時間と前記オフセットのうちの1つと外部的に供給されたグローバルテスト期間オフセットとを加算してキャリブレートした時間を与えるための加算手段が設けられており、遅延したクロック信号を発生するために前記キャリブレートした時間によって外部クロック信号を遅延させる手段が設けられており、前記遅延手段に結合されており前記遅延されたクロック信号によって表示される時間において前記リードに対するテスト信号遷移を発生するエッジ発生器手段が設けられていることを特徴とするローカルシーケンサ。

【請求項6】 請求項5において、前記メモリ手段が、イベントのタイプを格納するための機能的メモリと、イベントの時間を格納するローカルメモリと、前記オフセットを格納するキャリブレーションメモリとを有することを特徴とするローカルシーケンサ。

【請求項7】 請求項6において、前記ローカルメモリが、更に、(a) イベントのタイプ及び(b) 全てのイベントの時間に対する前記機能的メモリへの参照のうちの1つを格納することを特徴とするローカルシーケンサ。

【請求項8】 請求項7において、更に、出力端を前記機能的メモリ及び前記ローカルメモリへ結合しており且つ出力端を前記キャリブレーションメモリへ結合しているイベントタイプデコード論理が設けられていることを特徴とするローカルシーケンサ。

【請求項9】 請求項7において、前記ローカルメモリが、更に、各イベント時間に対して、前記イベントが複数のイベントのシーケンスにおける最後のイベントであるか否かを表わすフラグを格納することを特徴とするローカルシーケンサ。

【請求項10】 請求項5において、更に、前記加算器の出力端へ結合されており前記キャリブレートされた時間を格納するレジスタが設けられており、且つ前記遅延手段が前記レジスタの出力端へ結合した入力端をもったリニア遅延回路を有することを特徴とするローカルシーケンサ。

【請求項11】 請求項6において、前記イベント時間が最後のイベントからの時間として定義されることを特徴とするローカルシーケンサ。

【請求項12】 複数の1/Oリードをもった回路をテストするためのテストシステムにおいて、複数の第一イベントシーケンサが設けられており、各第一イベントシーケンサは前記リードへ第一テスト信号遷移を与え

10

20

30

40

50

3

るために前記リードのうちの1つへ結合されており、且つ複数の第二イベントシーケンサが設けられており、各第二イベントシーケンサは前記リードへ第二信号遷移を与えるために前記第一イベントシーケンサのうちの1つと並列的に前記リードのうちの1つへ結合されており、前記第二遷移は前記第一イベントシーケンサが次のテスト信号遷移を与えるよりも早い時間に前記第一遷移のうちの1つの後に与えることが可能であることを特徴とするテストシステム。

【請求項13】 テスト中の回路へテスト信号を供給するシーケンサにおいて、信号遷移のシーケンスの各々に対する時間を表わすタイミングデータと前記シーケンスに対し遷移されるべき状態を表わす機能的データとを格納するメモリ手段が設けられており、前記機能的データの1ビットは複数の信号遷移に対して適用することが可能であり、前記タイミングデータを受取るべく結合された第一入力端及び前記機能的データを受取るべく結合された第二入力端を具備しておりイベントの状態及び遷移時間を表わす出力を与えるためのデコーディング手段が設けられており、前記デコーディング手段に結合されており前記回路へ前記イベントを供給するドライバ手段が設けられていることを特徴とするシーケンサ。

【請求項14】 請求項13において、前記メモリ手段は、機能的データを格納するための機能的メモリと、前記タイミングデータを格納するためのローカルメモリと、前記機能的データに基づく前記タイミングデータに対するオフセットを格納するためのキャリブレーションメモリとを有することを特徴とするシーケンサ。

【請求項15】 請求項14において、前記ローカルメモリが、更に、全てのイベント時間に対して、(a)機能的データ及び(b)前記機能的メモリに対する参照のうちの1つを格納することを特徴とするシーケンサ。

【請求項16】 請求項15において、前記デコーディング手段が、前記機能的メモリ及び前記ローカルメモリへ結合した入力端を具備すると共に前記キャリブレーションメモリへ結合した出力端を具備するイベントタイプデコード論理を有することを特徴とするシーケンサ。

【請求項17】 請求項15において、前記ローカルメモリが、更に、前記イベントが複数のイベントのシーケンスのうちの最後のイベントであるか否かを表わすフラッグを各イベント時間に対して格納することを特徴とするシーケンサ。

【請求項18】 集積回路をテストするテストシステムにおいて、グローバルシーケンサが設けられており、前記グローバルシーケンサは、クロック信号発生器と、テストシーケンスの開始を表示するためにクロック信号を使用する時間0信号を発生する手段と、複数のテストサイクルの各々の開始に対し前記クロック信号からのオフセットを表示する期間バーニア値を発生する手段とを有しており、複数のローカルシーケンサが設けられて

4

おり、前記各ローカルシーケンサは前記集積回路の別々のリードへ結合されており前記ローカルシーケンサが任意の与えられたテスト期間において異なった数の遷移を有することが可能であるように前記クロック信号に対してキャリブレートされたテスト期間中に前記信号遷移のプログラム可能な数を発生し、各ローカルシーケンサが前記クロック信号及び前記期間バーニア値にตอบสนองして前記テストサイクルが前記クロック信号の倍数である必要がないように前記期間バーニア値によって定義されるテストサイクルにおいて前記ピンに対する信号内に信号遷移を発生させるエッジ発生器手段を有することを特徴とするテストシステム。

【請求項19】 集積回路をテストするテストシステムにおいて、グローバルシーケンサが設けられており、前記グローバルシーケンサは、クロック信号発生器と、テストシーケンスの開始を表示するために前記クロック信号を使用する時間0信号を発生する手段と、複数のテストサイクルの各々の開始に対し前記クロック信号からのオフセットを表示する期間バーニア値を発生する手段と、各々が前記集積回路の別々のリードへ結合されている複数のローカルシーケンサとを有しており、前記各ローカルシーケンサが、複数の信号遷移のシーケンスの各々に対する時間を表わすタイミングデータ及び前記シーケンスに対し遷移すべき状態を表わす機能データを格納し前記機能データの1ビットが複数の信号遷移へ適用することが可能なメモリ手段と、前記タイミングデータを受取るべく結合された第一入力端を具備すると共に前記機能的データを受取るべく結合した第二入力端を具備しておりイベントの状態及び遷移時間を表わす出力を供給するデコーディング手段と、前記クロック信号、前記期間バーニア値及び前記タイミングデータにตอบสนองし前記テストサイクルが前記クロック信号の倍数である必要がないように前記期間バーニア値によって定義されるテストサイクル内に前記ピンに対する信号におけるエッジを発生するエッジ発生器手段と、前記エッジ発生器手段に結合されており前記回路に対し前記エッジを供給するドライバ手段とを有することを特徴とするテストシステム。

【請求項20】 集積回路をテストするためのテストシステムにおいて、グローバルシーケンサが設けられており、前記グローバルシーケンサは、クロック信号発生器と、テストシーケンスの開始を表わすために前記クロック信号を使用する時間0信号を発生する手段と、複数のテストサイクルの各々の開始に対して前記クロック信号からのオフセットを表わす期間バーニア値を発生する手段とを有しており、且つ複数のローカルシーケンサが設けられており、前記各ローカルシーケンサは前記集積回路の別個のリードへ結合されており、各ローカルシーケンサは、信号遷移のシーケンスの各々に対する時間を表わすタイミングデータ及び前記シーケンスに対し遷

移すべき状態を表わす機能的データを格納し前記機能的データの1ビットが複数個の信号遷移へ適用することが可能なメモリ手段と、前記タイミングデータを受取るべく結合された第一入力端を具備すると共に前記機能的データを受取るべく結合された第二入力端を具備しておりイベントの状態及び遷移時間を表わす出力を供給するデコーディング手段と、前記クロック信号、前記期間バーニア値及び前記タイミングデータにตอบสนองし前記テストサイクルが前記クロック信号の倍数である必要がなく且つ前記ローカルシーケンサが任意の与えられたテスト期間において異なった数の遷移を有することが可能であるように前記期間バーニア値によって定義されたテストサイクル内に前記ピンに対する信号において信号遷移のプログラム可能な数を発生するエッジ発生器手段と、前記エッジ発生器手段に結合されており前記回路に対して前記信号遷移を供給するドライバ手段とを有することを特徴とするテストシステム。

【請求項21】 各々がテスト中の装置の1つのリードへ結合されている複数個のローカルシーケンサを具備するテストシステム用のローカルシーケンサにおいて、イベントタイプを格納するための機能的メモリが設けられており、イベント時間と、(a) イベントタイプ及び(b) 全てのイベント時間に対する前記機能的メモリへの参照のうちの1つと、前記イベントが複数個のイベントのシーケンスにおける最後のイベントであるか否かを表わすフラッグとを格納するローカルメモリが設けられており、前記イベントタイプに基づいて前記イベント時間に対するオフセットを格納するキャリブレーションメモリが設けられており、前記機能的メモリ及び前記ローカルメモリへ結合した入力端を具備すると共に前記キャリブレーションメモリへ結合した出力端を具備するイベントタイプデコード論理が設けられており、キャリブレートした時間を与えるために前記メモリからの前記時間と前記オフセットのうちの1つと外部的に供給されたグローバルテスト期間オフセットとを加算するための加算手段が設けられており、遅延されたクロック信号を発生するために前記キャリブレートした時間によって外部的クロック信号を遅延させる手段が設けられており、前記遅延手段に結合されており前記遅延されたクロック信号によって表わされる時間において前記リードに対してテスト信号遷移を発生するエッジ発生器手段が設けられていることを特徴とするローカルシーケンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路をテストするための自動テスト装置に関するものであって、更に詳細には、ピン毎のプロセッサのアーキテクチャを使用するテストシステムに関するものである。

【0002】

【従来の技術】 VLSI 集積回路の複雑性及びピン数が

増加すると、テストプログラムの発生は更に一層複雑化される。VLSI 半導体製造は、これらの複雑なICのシミュレーションからのデータを使用してタイミング情報及びテストプログラム用のテストベクトルを発生する。殆どの場合において、シミュレータへの入力データ又はそれからの出力データの何れかが、タイミング及びテストベクトルをこのシミュレーションデータで発生することが可能である前に、修正されねばならない。これは、主に、シミュレータ及びテストシステムが波形発生を取扱う技術における差異に起因するものである。

【0003】 タイミング/論理シミュレータは、イベントと呼ばれるICへの入力及び出力波形における遷移と共に動作する(即ち、イベント駆動型シミュレーション)。テストシステムは、これらの遷移に関してあるフォーマットを適合することを試み次いでこれらの遷移がタイミング発生器からのエッジと共に発生する時間をプログラムすることにより波形を発生する。ICシミュレーションは、所定の時間期間内に発生する遷移数を制限するか又はフォーマットを使用することに制限されていない。しばしば、シミュレーションは、テストシステムが発生することのできない波形を有している。1つの解決方法は、テストシステム上で発生することのできない波形をシミュレーションが有することがないようにシミュレータへの入力データを修正する特別のシミュレーションを実施することである。別のアプローチは、シミュレーションの出力を修正してデータをテストシステムに合わせることである。シミュレーションの入力又は出力を修正することには以下の如き幾つかの欠点がある。

【0004】 *テストプログラム発生時間の増加。

【0005】 *シミュレーションの意図から外れることによるテストの精度の低下。

【0006】 *シミュレーション出力に対する修正がエラーを発生する場合のデバッグ時間の増加。

【0007】 1960年代の後半においてデジタル機能自動テスト装置が最初にポピュラとなった時に、そのアーキテクチャは非常に簡単なものであった。コントローラによって書込まれたラッチがテスト中の装置に対する励起信号を形成し、且つ出力に関して比較器が装置の応答を検証するものであった。各相次ぐデジタル機能テストは以下のイベントからなるシーケンスから構成されている。

【0008】 *装置入力 of 確立。

【0009】 *装置の応答に対する待機。

【0010】 *装置出力のチェック。

【0011】 各装置ピンに対して、任意の与えられた時刻において、以下の状態変化のうちの高々1つが発生することが可能である。

【0012】 *HIGH (高) への駆動

*LOW (低) への駆動

*OFF 駆動

7

*HIGHに対するテスト開始

*LOWに対するテスト開始

*Z状態に対するテスト開始

*テスト終了

異なったピンは異なったシーケンスのイベントを必要とし、且つ状態変化が発生すべきタイミングは、一般的に、ピン毎に異なるので、複雑性が発生する。

【0013】ハードウェアを最小とするために1960年代及び1970年代に開発されたテストシステムアーキテクチャは、実効的に、大きなシーケンスのピンイベントを発生することを必要としていた。その時代の主要なアーキテクチャに関するイノベーションは、機能データのタイミングからの分離であり、共用型タイミング発生器(TG)に適用された非常に深いパターンメモリが開発された。機能データは、1及び0のテーブルとして出現した(テストベクトル)。マルチプレクサ及びフォーマッタによりパターンデータへ接続した単に数個のタイミング発生器を有する複雑な装置に対して非常に効果的な機能的テストを発生させることが可能であった。しかし、このアーキテクチャ構成は、その時代においては効果的なものであっても、それ自身の困難性を投げ掛けていた。装置が一層複雑なものとなると、テスト条件をパターンテーブル及びタイミングへ分析するプロセスは一層困難なものとなる。制限された数のタイミング資源は、不可避免的に、それらの使用に関して一層厳格な制限を可していた。シミュレータ出力からテストプログラムへの変換は、益々曖昧なものとなり且つ問題のあるものとなった。同時に、装置速度が著しく増加し、そのことはテストマージンを得ることを一層困難なものとしていた。ピンスキュー(歪み)及びタイミング発生器分布スキューがテスト性能検討事項を支配し始めた。

【0014】過去10年の期間において、ピン毎のTGテストシステムが導入されてこれらの問題の幾つかを緩和することに貢献している。装置ピンの各々に対してより多くの資源が独立的に適用されると、機能的テストプログラムに課されるマシン制限は次第に少なくなる。しかし、単に、ピン当たりのTGを適用することは、変換乃至は翻訳の問題を取除くものではない。テストシステムが共用型資源タイミング又はピン当たりTGタイミングアーキテクチャを有するか否かとは無関係に、シミュレーションデータを修正するための必要性が存在する。ピン当たりのTGアーキテクチャは、全ての装置ピンに関し独立的な波形を発生するための柔軟性を可能とするが、テスト指向型フォーマット及び制限された遷移で波形を制限する。更に、入手可能なピン当たりのTGシステムの多くは全ての機能に関してキャリブレート(較正)したエッジの配置を与えるものではない。従って、タイミングに対する手動的な変更が適切な歩留まりを得るために未だに必要とされている。

【0015】

8

【発明が解決しようとする課題】従って、本発明の目的とするところは、集積回路をテストするための改良された自動テスト装置を提供することであり、特にピン当たりのプロセッサのアーキテクチャを使用したテストシステムを提供することである。

【0016】

【課題を解決するための手段】本発明は、多数のローカルシーケンスを提供しており、テスト中の装置の各ピンに対して1個ずつのローカルシーケンスを与えている。各ローカルシーケンスには、グローバルクロックが設けられており、テストの開始を参照するクロックエッジを表わすグローバル時間0信号を有すると共に、テスト期間の開始に対してクロックからのオフセットを表わす期間バーニアを有している。各ローカルシーケンスは、この情報を使用して、局所的に発生された個別的キャリブレーション(較正)遅延を有するテスト期間に対して参照されたそれ自身のテストイベントを発生する。各ローカルシーケンスは、個別的にプログラム可能であり、従って異なったシーケンスは同一のテスト期間中に異なった数のイベントを与えることが可能である。

【0017】各ローカルシーケンスは時間0信号を使用してテスト期間の開始に対し適宜のクロックエッジを表示し、且つグローバル期間バーニアに対応する値を加算することによってこれをオフセットさせる。更に、キャリブレーションオフセットが加算されて、その特定のシーケンス及びその装置ピンに対し伝搬遅延を考慮する。このキャリブレーション遅延は、テスト期間中に与えられるイベントの特定のタイプに従って変化する。

【0018】各ローカルシーケンスは2個のメモリを有しており、即ち1つはイベントを格納するためのものであり(遷移のための時間及びその遷移の後に到達する状態)、及び他の1つは機能データを格納するためのものである。イベントメモリは、その状態を直接的に格納することが可能であるか、又は別のメモリ内の機能データを参照することが可能である。これら2つを分離することにより、シーケンスをプログラム即ち書込む上で一層の柔軟性が与えられる。既存の機能データベースを変更することなしに使用することが可能である。更に、各時間に対し各状態に対する別個の1つ又は複数個のビットを使用する代わりに、数個のビットが繰返されるべき特定のパターンを表わすことが可能であり、遷移の時間のみを格納することが必要であるに過ぎない。従って、機能データに対して必要とされるメモリの量が減少される。

【0019】

【実施例】図1は本明細書において使用される用語としての「イベントシーケンス(event sequence)」を示している。「イベント」は一對(S,T)から構成されており、「S」は状態であり且つ「T」はSへの遷移に関連する時間である。「イベントシーケン

9

ス」はこのような対の時間順番型リストである。例えば、図1に示した波形において、該イベントシーケンスは4個のイベントを有しており、それらは(D1, 1), (D0, 8), (D1, 13), (D0, 18)と書くことが可能である。最初のイベントは、時間=1において該信号を高状態(1)へ駆動することである。2番目のイベントは、時間=8において該信号を低状態(0)へ駆動することである。3番目のイベントは、時間T=13において該信号を高状態へ駆動することであり、且つ4番目のイベントは時間T=18において該信号を低状態へ駆動することである。

【0020】図2は、本発明の一実施例に基づいて構成されたテストシステムのブロック図である。グローバルシーケンサ12はライン14上にクロック信号を発生し、且つライン16のうちの1つの上に時間0信号を発生する。ストロブ時間0信号が、テスト中の装置(DUT)24の出力を比較するために、ライン16の別のものの上に発生される。複数個の時間0信号及びストロブ時間0信号を使用して、DUTの異なった部分を非同期的にテストすることが可能である。時間0信号は、それに対してテスト期間が参照されるべき特定のクロックパルスエッジである。多数のデジタルビットがライン18上に供給されて、テスト期間の実際の開始のための時間0信号からのオフセットを表わす。これらの信号の全てが多数のローカルシーケンサ20へ供給される。各ローカルシーケンサはDUT24の別個のピンへ結合された1/Oライン22を有している。

【0021】図3は、図2のグローバルシーケンサ12の概略図である。バス26上の入力アドレスがSRAM28へ供給される。SRAM28の出力は、別のメモリ30へ供給され、プログラミングの容易性及び柔軟性に対する間接的処置のレベルを与えている。メモリ30の出力は、カウンタ32へのデータ入力として供給され、該カウンタ32は、オシレータ34からのクロックライン14上のクロック信号によってシーケンス動作される。該データ入力は、該カウンタを所定の値へプリセットするために使用される。カウンタ32の出力がレジスタ36内に格納されている所定値に到達すると、比較器38から出力が供給される。比較器38からの出力は、ラッチ40を介して時間0信号16を供給し、テストイベントの開始を表わす。この時間0信号は、カウンタ32から周期的に発生される。

【0022】時間0信号から参照される、即ちそれを基準とするグローバル期間オフセット乃至は期間バーニアが、期間バーニアライン18上のラッチ42によって発生される。元のオフセット値は、加算器44を介してライン43上のメモリ30からラッチ42へ供給される。出力18は加算器44へフィードバックされ、そこで、それはメモリ30からの元のビット43と加算されて、加算及びオーバーフロー値を発生する。この加算値は、

10

ラッチ42へ供給されて、次の期間バーニアオフセットを与え(次の時間0信号の後に)、一方該オーバーフロー値はラッチ46を介して供給されてライン48上にオーバーフロー出力を与え、それはカウンタ32への入力として供給される。このことは、該オフセットの量がクロックサイクルと等しい場合には、該カウンタに対してクロックサイクルインクリメント(増分)を加算する。ストロブ時間0信号は、テストシステムからDUTへの信号ラウンドトリップ時間と等しい量だけ時間0信号を遅延させることによって発生される。

【0023】図3の回路によって発生される信号を図4に示してある。図示した例においては、3.2ナノ秒(ns)の期間をもったクロック信号14が示されている。これは、312.5メガヘルツ(MHz)の周波数に対応している。一例として、10nsのテスト期間を有するものが望ましい。理解される如く、3個のクロックサイクルは9.6nsの期間を与え、一方4個のクロックサイクルは12.8nsの期間を与える。所望の期間を与える典型的な従来の方法は、クロック期間自身を修正することである。

【0024】本発明は、クロックを修正することなしに、10nsクロック期間を与えることが可能である。図5に示した実施例においては時間50において時間0信号が発生される。このことは、テスト期間の開始即ちスタートを表わしている。2番目の時間0信号は時間52において発生され、それは9.6nsにおけるクロック信号14の上昇エッジに対応している。これは完全に10nsではないので、0.4nsを表わすデジタル値が期間バーニアオフセット18として与えられる。次いで、各ローカルシーケンサはこの値を使用して、時間50から10nsである時間54における次のテスト期間の実際の開始を決定する。

【0025】同様に、次の時間0信号は時間56において発生され、この時間は時間58において10ns期間を発生するためには0.8nsのオフセットを必要とする。このプロセスは、時間60において開始するテスト期間を発生するためにオフセット値が2.8となるまで継続して行なわれる。この2.8の値が図3に示した加算器44を介してフィードバックされると、オーバーフロー値が発生する。なぜならば、次のインクリメント(増分)の0.4が3.2の値を発生し、それはテスト期間と等しいからである。従って、次の期間においては、3.2のオフセット値を発生する代わりに、該カウンタは単に付加的な値だけインクリメントされ、従って時間62における時間0信号と時間64における次の時間0信号との間には4個のクロックパルスが存在している。この時点において、オフセット値は存在しない。なぜならば、テスト期間の開始は、再度、クロックパルスの上昇エッジと整合されているからである。理解される如く、このことは、クロックの分解能に制限されること

11

のないテスト期間分解能を与える能力を提供している。図5は図2のローカルシーケンサ20の概略図である。2つの異なるメモリが使用されており、即ちイベントシーケンス格納メモリ70及びローカルメモリ72が設けられている。メモリ70は、各イベントに対するイベントタイプを格納し、それは該イベントの状態及び制御情報を表わす(DUTに対してある値を駆動するか、又はDUTからくる値をテストするか、又はドライバ乃至はテストをターンオフさせる)。実際の状態はイベントタイプ内に与えることが可能であるか、又はローカルメモリ22からくる機能データとして特定することが可能である。イベントタイプデコーダ74は、これら2つのメモリからの情報を受取り、且つそれを制御ライン76を介して種々の要素へ供給する。このことは、機能データと呼ばれるローカルメモリ72内のデータが分離されることを可能とする。上述した如く、機能データは、タイミング発生器を共用する従来のシステムにおいて使用されていた。従って、異なる組の機能データが共用されたタイミング発生器へ供給されるべく各ピンに対して派生されていた。本発明では、このような機能データベースがそれらをローカルメモリ内にローディングすることにより不変のままで使用することを可能としている。更に、イベントシーケンス格納メモリ70内に格納されているイベントタイプの指定を修正することなしに、幾つかの異なるパターンを機能データに適用することが可能である。究極的には、機能データを無視するか又は除去し、イベントタイプが全ての情報を特定することが可能である。従って、この形態は最大の柔軟性を与えている。

【0026】現在の実施例においては、メモリ70内に格納されているイベントタイプは以下のもののうちの何れかとする事が可能である。

【0027】D0 0を駆動
D1 1を駆動
DF 第一ビットLMを駆動
DF2 第二ビットLMデータを駆動
DF_ 第一LMデータ補数駆動
DF2_ 第二ビットLMデータ補数駆動
DZ 駆動ターンオフ
T0 0に対するテスト
T1 1に対するテスト
TF 第一ビットをLMデータに対するテスト
TF2 第二ビットLMデータに対するテスト
TF_ 第一LMデータ補数に対するテスト
TF2_ 第二ビットLMデータ補数に対するテスト
TZ 高インピーダンスに対するテスト
X ウィンドストロブターンオフ

イベントの別のリストを使用することも可能である。

「LM」という略称はローカルメモリ72のことを示している。ピン当たり1又は2ビットの何れかを各イベン

12

トに対してローカルメモリ72内に格納することが可能である。本発明の別の実施例においては、ピン当たり4個、8個又はそれ以上のビットを各イベントに対してメモリ内に格納することが可能である。該ローカルメモリは、ピン当たり4メガビットの深さを有しており、且つこれは、オプションとして、32メガビットへ拡張することが可能である。該ローカルメモリは、ベクトル(状態)モード当たりピン当たり1ビット又は2ビットで使用することが可能である。ピン当たり2ビットのモードは、例えばDUTへ駆動されるデータがDUT出力データと異なる場合にI/Oピンによって必要とされる如く、1サイクルにおいて1個のピンへ2ビットの機能データを供給するために使用することが可能である。第二ビットは、更に、例えばASICシミュレーションベクトルに関してしばしば見受けられる如く、異なるサイクルにおいて「care」及び「don't care」の大きな組合せが必要である装置に対するマスクビットとして使用することが可能である。

【0028】イベントタイプデコーダ70の出力は、イベントタイプSであり、それは上述した如くに特定した7個のイベントタイプのうちの1つである。それらは以下の如くである。

【0029】高への駆動。
【0030】低への駆動。
【0031】駆動オフ。
【0032】高に対するテスト開始。
【0033】低に対するテスト開始。
【0034】Z状態に対するテスト開始。
【0035】テスト終了。

【0036】このイベントタイプは、制御入力として、駆動エッジ発生器78及び比較器エッジ発生器80へ供給される。これらの発生器は、ドライバフォーマット論理82及びストロブフォーマット論理84へ夫々信号を与える。DUTが駆動されるべき場合には、ドライバフォーマット論理82が活性状態である。DUTからの出力が所定の値と比較されるべき場合には、ストロブフォーマット論理84が活性状態とされる。

【0037】イベントに加えて、各イベントに対する発生タイミングが与えられねばならない。メモリ70からの時間が加算器86へ供給される。該加算器への別の入力は期間バーニアライン18である。最終的に、該加算器への入力がキャリブレーションメモリ88から供給される。該キャリブレーションメモリは、ライン76上のイベントタイプSによってアドレスされる。各イベントはそれ自身の値を有している。この値は、常に、同一の期間バーニアへ加算される。

【0038】イベントタイプSはイベントタイプデコーダにおいて、元の7個のタイプのうちの1つへ変換される。このイベントタイプSは、キャリブレーションオフセットの選択を制御し、それは、不可避的な経路長及び

回路性能の差異を補償するために使用される。種々の状態遷移からのスキュー（歪み）を最小とするために、該キャリブレーションメモリは異なった開始状態に対する値を収納している。例えば、D1からZと関連するキャリブレーションオフセットはD1から0と関連するものとは異なっている。

【0039】各ピンは各イベントタイプに対する独特のキャリブレーション値を格納するためのメモリを有している。そのイベントは、それが使用される場合に、「飛行中」でキャリブレート即ち較正される。このこと

は、ピン間のスキューが17ps以内でキャリブレートすることを可能としている。

【0040】加算器86からのキャリブレートされた時間はキャリブレート時間レジスタ90内に格納される。そこから、それはリニア遅延回路92及び94へ夫々供給され、且つ比較器100へ供給される。遅延回路92は、エッジ発生器78を駆動するために時間0信号からのオフセットに対応する遅延を与える。リニア遅延回路94は、同様に、比較器エッジ発生器80によって発生されるテスト比較信号に対する遅延を与える。グローバル時間0信号16及びマスタクロック14は4つのカウンタ96を介して供給される。4個のカウンタは、1期間（周期）より長い時間の量をカウントすることが可能であるように設けられており、且つ100MHzテストに対する充分なオーバーラップを与える。各相次ぐ時間0信号はラウンドロビン態様で、これら4個のカウンタの1つをリセットする。各カウンタは、4つの期間（周期）に亘ってマスタクロックをカウントし、1期間乃至は周期よりかなり大きな時間値を特定する機会を与えている。該オーバーラップは、100MHzにおいて必要とされる。なぜならば、テスト中の装置を介しての遅延が1期間（周期）を超える場合があるからである。

【0041】テストモードの場合、ラウンドトリップ遅延（RTD）回路93及び98も与えられ、該信号がDUTへ移動し且つ戻ってくるのに必要な時間を与えている。信号がDUTに対して駆動されており且つリニア遅延回路92が使用されている場合、カウンタ96の出力は、比較器100を介して与えられ、該比較器は、レジスタ90から与えられた時間に対応するカウントに到達した時を決定する。

【0042】各ローカルシーケンサ20は192個のイベントからなるシーケンスを格納することが可能である。これらは、64個の時間に細分化して、ピン当たり64個の異なったイベントシーケンスを与えることが可能である。イベントシーケンスはピン毎を基礎として定義され、且つ各ピンのイベントシーケンスは他のピンのものとは独立的である。このことは、1つのピンが192個のイベントを有する単一のイベントシーケンスのみを有することの柔軟性を与えており、一方別のピンが各々1個、2個又は3個のイベントを有する64個の異な

ったシーケンスを有することを可能としている。グローバルイベントシーケンサメモリ102は、メモリ70において使用可能な64個のうちのどのイベントシーケンスを使用するかを選択する。

【0043】メモリ70におけるインクリメントビットフィールド104は、1つのシーケンス内により多くのイベントが存在するか否か又はこのイベントが最後のイベントであるか否かを表わすために使用される。例えば、次続の別のイベントが存在する場合には、該インクリメントフィールドは1ビットを有し、一方それがあるシーケンスにおける最後のイベントであるか又は1つのシーケンスにおける唯一のイベントである場合には、インクリメントフィールド内に0ビットが存在する。

【0044】各ローカルシーケンサは図5においてA、B、Cとして示した3個のイベントシーケンサを有している。これらの3つの出力はドライバフォーマット論理82へ供給され、且つ、ラウンドトリップ遅延の後、ストローブフォーマット論理84へ供給され、且つこれらの論理回路において共にOR処理される。3つの別個のイベント発生器を使用することにより、著しく高速のイベント速度を得ることが可能である。このことは、1つの発生器が爾後の連続するイベントを発生するのにかかる時間の量より小さな僅かの量だけ他のイベントシーケンサから1つのイベントシーケンサをオフセットさせることによって行なわれる。従って、他のものが出力中に、イベントシーケンサのうちの1つがローディングを行なうことが可能である。ラッチ95は不合格データを収集し、且つストローブ時間0信号によってストローブされる場合に、それを出力端へ供給する。

【0045】ピンマルチプレクスモードと呼ばれる別のモードにおいては、2つの異なったピンがそれらの出力を互いにマルチプレクス即ち多重化させることが可能である。このことは、ドライバフォーマット論理82内に設けられる論理的ORゲートによって駆動側で行なわれる。ストローブ側では、DUTの出力が両方のピン回路へ指向され且つ独立的にストローブされる。各対のイベントシーケンサチャンネルは、その他の対のチャンネルとは独立的にピンマルチプレクスモードを使用することが可能である。

【0046】パルスモードにおいては、データ速度は2倍とすることが可能である。なぜならば、上昇エッジ及び下降エッジの両方を与えるために1つのタイミングイベント表示のみが必要とされるに過ぎないからである。このモードにおいては、予め特定したパルス幅が各イベントと共に使用され、ある状態への遷移をトリガし次いでパルス幅の後に復帰される。このことは、0へ復帰（RTZ）パルス又は1へ復帰（RTO）パルスと共に行なうことが可能である。

【0047】このアーキテクチャは、複雑な波形をプログラミングすることを非常に簡単なものとしている。ユ

15

ーザは、イベントのタイプとそのイベントが発生する時間とを画定することが必要であるに過ぎない。従来のATEの発生に関して使用されていた波形フォーマットはこのイベントシーケンス概念を使用して容易に発生される。例えば、NRZ（0への復帰なし）フォーマットは以下の如く1つのイベントをプログラムすることによって特定される。

【0048】DF@1ns

このステートメントは、ハードウェアに対して1nsにおいて現在のベクトルのデータへ駆動することを指示している。図6はNRZ波形の概略図である。SBC（補数による取巻き）フォーマットは、図7に示した如く、以下のイベントのシーケンスをプログラムすることによって特定される。

【0049】DF__@2ns

DF@11ns

DF__@22ns

これは、他のATEアーキテクチャテストプログラムを、容易に、本発明のアーキテクチャへ担持させることが可能であることを示している。

【0050】図8に示した如く、以下のイベントからなるシーケンスをプログラムすることにより、ローカルメモリデータなしで、クロックピンを発生させることが可能である。

【0051】D1@0ns

D0@4ns

D1@8ns

D0@10ns

1サイクル内で発生するクロック数及びクロック遷移の配置を変化させるために異なったイベントシーケンスを使用することが可能である。機能データテーブルを全く使用することなしに、より複雑な制御ピンシーケンスをプログラムすることも可能である。その結果、実際のデータパターン格納は、ベクトル当たりピン当たり1ビットよりかなり低くすることが可能であり、パターン格納空間及びロード時間に関する要求を減少させている。

【0052】以下のものは、1/Oサイクルに対する波形発生の一例であり、DUTピンが補数による取囲み（SBC）波形で駆動され、次いでドライバがターンオフされ且つ出力が最初にトライステートに対し、次いで1、次いで駆動データと異なるローカルメモリデータに対してストロブされる。図9はこのイベントシーケンスを示した概略図である。

【0053】DF__@2ns 機能データ補数を駆動

DF@9ns 機能データを駆動

DF__@18ns 機能データ補数を駆動

DZ@22ns ドライバをターンオフ

TZ@24ns トライステートに対するテスト

X@26ns ウィンドストロブをターンオフ

T1@32ns 1に対するテスト

16

X@34ns ウィンドストロブターンオフ

TF2@40ns 2番目の機能データに対するテスト

X@42ns ウィンドストロブをターンオフ

このような複雑な波形は、共用型資源又はピン当たりTGアーキテクチャを有するテストシステムでは不可能である。この例は10個のイベントを使用しており、且つ本発明の好適実施例は、最大で、一サイクルにおいて192個のイベントまで発生することが可能である。各サイクルにおいて2ビットの機能データを有する能力は、このアーキテクチャが1組のデータを駆動し且つ同一のサイクルにおいて異なった組に対しテストをすることを可能としている。このことは、テストシステムのピン数を減少させるであろうnuxモードを使用することなしに行なわれる。12.5psの分解能で且つ任意の箇所に4サイクルに亘ってイベントを配置させることが可能であることは、アーキテクチャに対してより多くの波形発生及びストロブ配置の柔軟性を与えている。4サイクルに亘っての配置は、前述した4個のカウンタ96を使用して達成される。このタイプの柔軟性は、シミュレーションデータからタイミングステートメント及びテストベクトルを発生することを高速で容易で且つ正確なものとしている。該シミュレーションをテストシステムに適合させることの必要性を除去することにより、新たなテストプログラムを発生する時間を改善し、シミュレーションの意図に従ったより良好なテストを発生し、且つ新たなテストプログラムをデバックするための時間の量を減少させている。

【0054】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、キャリブレーション値はイベントシーケンスメモリの一部とすることが可能である。シーケンスの数（A、B又はC）は、更にデータレートを増加するために拡張することが可能である。イベント時間は、1つの期間乃至は周期の開始からの時間ではなく最後のイベントからの時間（Δ時間）とすることが可能であり、付加的な加算器がそのΔ時間を1つの期間乃至は周期の開始と関係づける。各期間乃至は周期の開始においてより多くのビットの機能データ（4、8、16等）を与えることが可能である。

【図面の簡単な説明】

【図1】 イベントシーケンスを示した概略図。

【図2】 本発明の一実施例に基づくシステムを示した全体的なブロック図。

【図3】 図2のグローバルシーケンサを示したブロック図。

【図4】 図3のグローバルシーケンサによって発生されるタイミング信号を発生したタイミング線図。

【図5】 図2のローカルシーケンサを示したブロック

* 示した概略図。

【符号の説明】

12 グローバルシーケンサ

14 クロック信号ライン

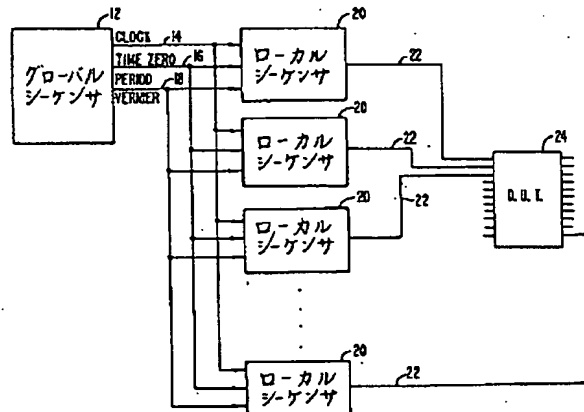
16 時間0信号ライン

18 期間バーニアライン

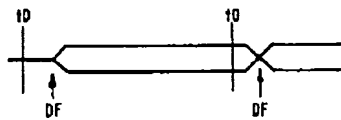
20 ローカルシーケンサ

24 テスト中の装置 (DUT)

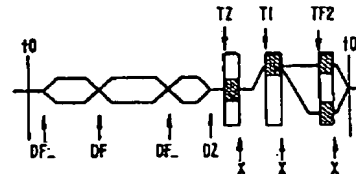
【図2】



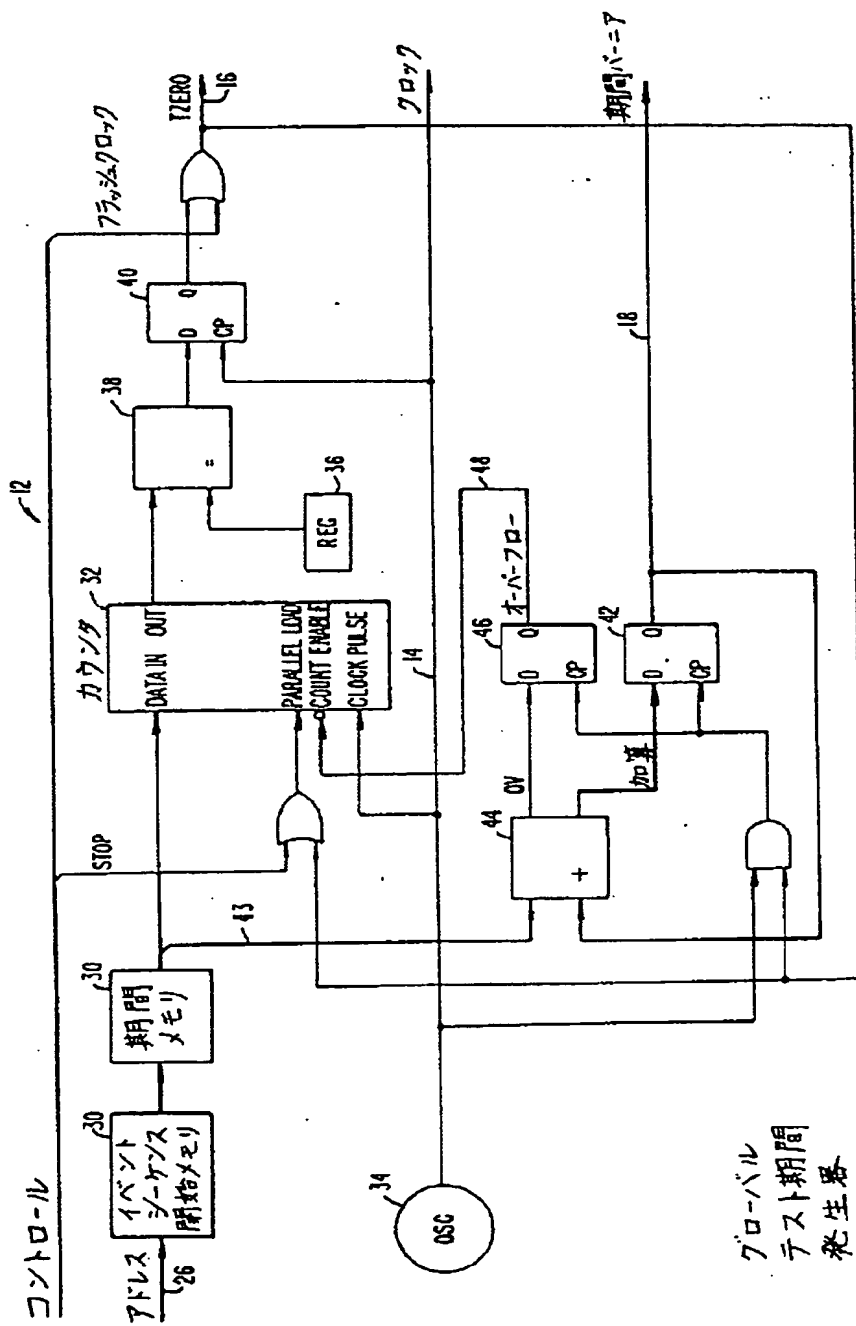
【図6】



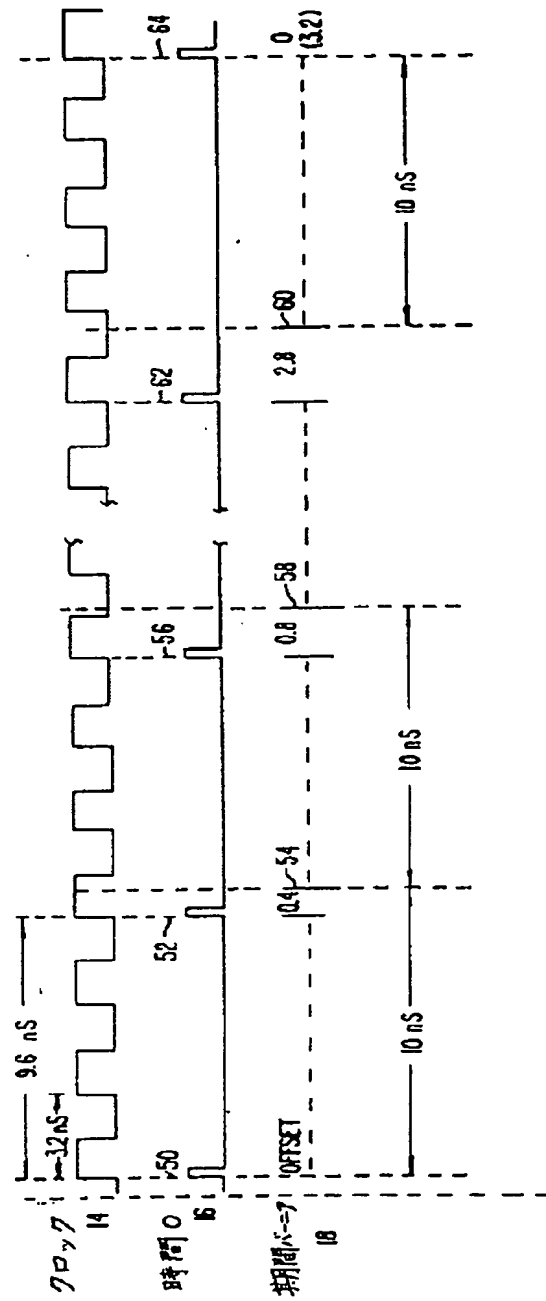
【図9】



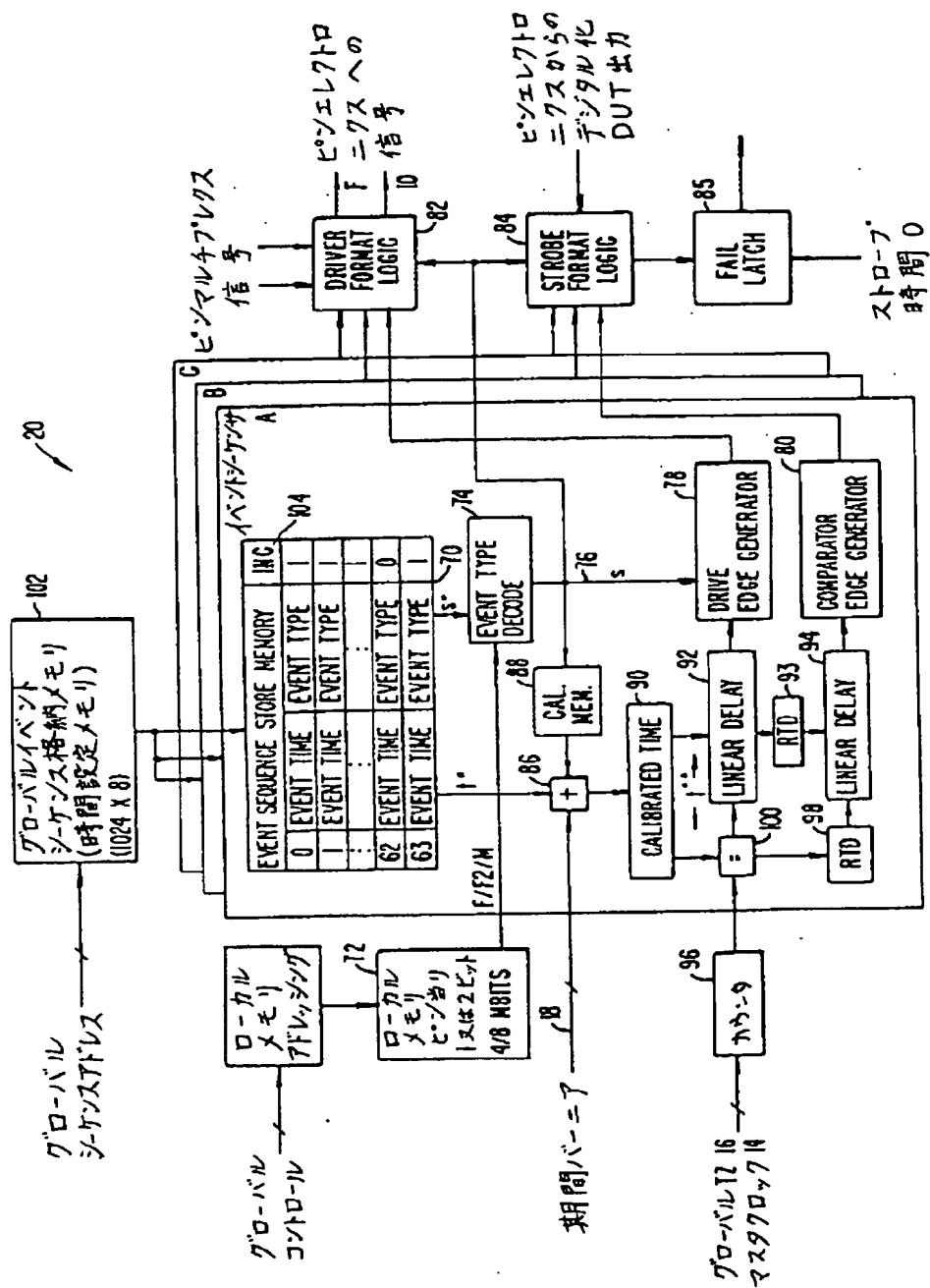
【图3】



【図4】



【例5】



フロントページの続き

(72)発明者 エグバート グレイブ
アメリカ合衆国、カリフォルニア
94022、ロス アルトス、アーボア
アベニュー 1400